

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

~~BEST AVAILABLE COPY~~

KOREAN PATENT ABSTRACTS

(11) Publication
number:

000022458 A

(43) Date of publication of application:
25.04.2000

(21) Application number: 980710894

(71) Applicant:

HITACHI LTD.

(22) Date of filing: 31.12.1998

(72) Inventor:

FUJISAKI, YOSHIHISA
KUSHIDA, KEIKO
MIKI, HIROSHI

(30) Priority: 09.07.1996 JP 96 178907

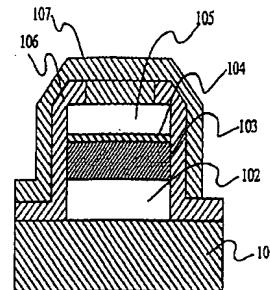
(51) Int. Cl

H01L 21/8242

(54) SEMICONDUCTOR MEMORY AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: A method is provided for the semiconductor memory which is improved in reliability by preventing the lowering of capacitance and defective insulation, especially, electrode separation caused by the formation of the passivation film (insulating film) of a capacitor using a high ferroelectric material by plasma processing at a relatively low temperature and a method for manufacturing the memory. Therefore, lowering of capacitance, defective insulation, and especially, electrode separation, which are caused by the formation of the passivation film (insulating film), can be prevented. In addition, the occurrence of defective insulation can be reduced by suppressing the lowering of the capacitance when an alternating electric field is impressed. When a ferroelectric material is used as the dielectric film, moreover, such an effect as an increase in residual polarization, a decrease in coercive voltage, etc., can be obtained.



CONSTITUTION: The semiconductor memory has an integrated capacitor composed of a capacitor structure constituted of an upper electrode (105), a lower electrode (102), and a high ferroelectric oxide thin film (103) which is held between electrodes (105 and 102) and serves as a capacitor insulating film and an insulating protective film (106) which covers the capacitor structure and is formed by plasma processing. An oxygen introducing layer (104) is further formed on the surface of the thin film (103) constituting the capacitor insulating film. In the manufacturing process of the memory, for example, the oxygen introducing layer (104) is formed on the surface of the high ferroelectric material (103) by introducing oxygen to the boundary between the electrode (105) and the material (103) by conducting heat treatment in an oxygen atmosphere before the protective insulating film (SiO₂ passivation film) (106) is formed by plasma processing after the formation of the electrode (105).

COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (20020703)

Final disposal of an application (application)

특 2000-0022458

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H01L 21/8242(11) 공개번호 특 2000-0022458
(43) 공개일자 2000년 04월 25일

| | |
|---------------------------|---|
| (21) 출원번호 | 10-1998-0710894 |
| (22) 출원일자 | 1998년 12월 31일 |
| 번역문제출일자 | 1998년 12월 31일 |
| (86) 국제출원번호 | PCT/JP1997/02322 |
| (86) 국제출원출원일자 | 1997년 07월 04일 |
| (81) 지정국 | EP 유럽특허 : 오스트리아 벨기에 스위스 브루셀스 덴마크 스페인 포르투갈 스웨덴 영국 그리스 이탈리아 툴센부르크 모나코 네덜란드 포르투갈 스웨덴 |
| 국내특허 : 아일랜드 중국 일본 대한민국 미국 | |
| (30) 우선권주장 | 1996-178907 1996년 07월 09일 일본(JP) |
| (71) 출원인 | 가부시끼가미샤 하다치 세이사꾸쇼 가나이 쓰도무 |
| | 일본국 도쿄도 지요다구 간다 스루가다이 4-6 |
| (72) 발명자 | 미키 하로시 일본국 도쿄도 신주쿠구 가미오치아이 1-8-17-401 구시다 게이코 일본국 도쿄도 고다이라시 오가와히가시마치 1-23-14-301 후지사와 요시히사 일본국 도쿄도 후츄시 모미지가오카 1-21-32-301 백남기 |
| (74) 대리인 | |

설명구 : 요약

(54) 반도체메모리 및 그 제조방법

요약

고강유전체를 사용하는 콘덴서의 비교적 저온에서 처리가능한 플라즈마에서의 패시베이션막(절연막) 형성에 의한 용량저하, 절연불량 특히 전극박리를 방지하고, 신뢰성이 높은 반도체메모리 및 그 제조방법을 실현한다.

상부전극(105), 하부전극(102) 및 이를 양 전극사이에 배치되어 캐페시터 절연막으로 되는 산화물 고강유전체 박막(103)으로 구성되는 콘덴서구조와 이 콘덴서구조를 덮는 플라즈마처리에 의해서 형성된 절연보호막(106)으로 이루어지는 전극화 콘덴서를 갖고, 캐페시터 절연막을 구성하는 산화물 고강유전체 박막의 표층부에 산소도입층(104)을 마련한다.

이 메모리는 예를 들면 상부전극(105)의 형성후 플라즈마에서의 절연보호막(패시베이션막SiO₂)(106)의 형성 과정 전에 산소분위기중에서 열처리해서 상부전극(105)/고강유전체(103)의 계면에 산소를 도입하고, 고강유전체(103)의 표층부에 산소도입층(104)을 형성한다.

마짓에 의해, 패시베이션막(절연막) 형성에 의한 용량저하, 절연불량, 특히 전극박리를 방지할 수 있고, 또 교번전계 인가시의 용량저하를 억제하여 절연불량의 발생률을 서하시킬 수 있으며, 강유전체를 유전막으로서 사용한 경우에는 잔류분극을 증대시켜 항전압을 감소시키는 등의 효과가 있다.

명세서

기술분야

본 발명은 반도체메모리 및 그 제조방법에 관한 것으로서, 특히 축적용량을 구성하는 콘덴서의 캐페시터 절연막으로서 고강유전체 박막을 사용하는 경우에 적합한 반도체메모리 및 그 제조방법에 관한 것이다.

또한, 고강유전체 박막이라는 것은 캐페시터 절연막을 구성하는 고유전체 박막이나 강유전체 박막을 말하며, 이하에 상세하게 기술하는 바와 같이 이를 캐페시터 절연막을 사용한 콘덴서를 여기서는 고강유전체 박막콘덴서라고 충칭하기로 한다.

본명기술

캐페시터 절연막으로서 고유전체를 사용하는 반도체메모리의 콘덴서는 종래의 실리콘산화막이나 실리콘질화막 등의 절연막을 사용하는 콘덴서에 비해 단위면적당의 절전용량이 크기 때문에 특히 대규모 DRAM과 같은 적은 면적에서 큰 성전용량을 필요로 하는 용용이 검토되고 있다.

예를 들면, 「IEEE International Electron Device Meeting pp.823-826(1991)」에 의하면, 고유전체 재료로서 $(Ba, Sr)TiO_3$ (이하, 간단히 BST라고 한다)을 사용한 예가 보고되어 있고, 여기서의 전극재료는 귀금속인 백금이다.

한편, 마찬가지의 구조를 갖는 강유전체를 캐퍼시터절연막으로서 사용하는 콘덴서도 불휘발성을 갖는 대규모 메모리용으로서 결토되고 있다. 예를 들면, 「1995 Symposium on VLSI Technology Digest of Technical Papers, pp.123-124」에 의하면, 강유전체 재료로서 $Pb(Zr, Ti)O_3$ (이하, 간단히 PZT라고 한다)을 사용한 예가 보고되어 있고, 여기서의 전극재료는 BST의 경우와 마찬가지로 귀금속인 백금이다.

이들을 사용하는 반도체 메모리를 제조하는 경우에는 콘덴서를 작성한 후에 이 콘덴서에 대한 전기적인 접속을 실행하는 배선층 및 메모리셀과 메모리칩 외부와의 전기적인 변환을 실행하는 주변회로 부분에 관계된 배선층이 형성된다. 이 때문에, 각 배선층의 사이 및 미들 배선층과 콘덴서 사이의 전기적 절연성을 취하기 위해 층간절연막을 형성할 필요가 있지만, 이 공정은 배선층의 열화를 방지하기 위해서 환원성 또는 약한 산화성의 분위기로 된다. 이 공정을 거치는 것에 의해, 콘덴서는 증대한 손상을 입는다는 것이 알려져 있다.

예를 들면, 「Material Research Society Symposium Proceedings Vol. 310, pp.151-156(1993)」에 의하면, 층간절연막으로서 CVD에 의한 SiO_2 막을 형성하는 것에 의해 강유전체인 PZT는 강유전성을 잃어버림과 동시에 누설전류가 증대하는 것이 보고되어 있다.

또, 메모리 제조공정에서는 금속배선층 및 콘덴서보다 아래층에 형성되는 트랜지스터의 신뢰성 확보를 위해 최종적으로 수소분위기중에서 열처리가 실시된다. 이 수소처리는 층간 절연막의 형성공정과 마찬가지로 콘덴서 특성에 영향을 미친다는 것이 알려져 있다.

예를 들면 「8th International Symposium on Integrated Ferroelectrics, 1-1c(1996)」에 의하면, 강유전체로서 $SrBi_2Ta_2O_9$ (이하, 간단히 SBT라 한다)를 사용한 경우에는 수소분위기에서의 처리를 실행하면 강유전특성이 대폭적인 열화를 수반하는 것 및 수소처리에서의 열화를 산소중에서의 열처리에 의해 수복하는 것이 시도되고 있다.

그러나, 상기한 방법에는 실제의 제조프로세스에는 적용할 수 없는 문제점이 있다는 것을 알 수 있었다. 즉,

[1] 콘덴서의 제조공정후에 형성되는 금속배선은 알루미늄 등 고온의 산화성 분위기에 약한 재료가 사용되는 것.

[2] 층간절연층의 두께에 의해 후공정에서의 산소열처리에서는 산소농도가 저하하고, 열화의 복구 효과도 저하하는 것이다. 본 발명자들의 실험에 의하면, 트랜지스터의 신뢰성 확보를 위해 수소처리를 해 버리면, 그 후에 산소중에서 열처리를 실행하더라도 한번 열화해 버린 콘덴서의 특성은 복구가 불충분하여 수복이 곤란하다는 것을 알 수 있었다.

또, 열화현상증 특히 콘덴서의 박리(캐퍼시터절연막에서 상부전극이 박리한다)는 미세한 배선구조를 다루는 대규모 메모리의 제조공정에 있어서는 동일한 제조 틈(lot)에 속하는 전체수가 불량으로 되어 제조효율(양품률)이 저하함과 동시에 신뢰성이 현저하게 저하한다.

미상의 문제점에 부가해서, 수소분위기에서의 처리를 거친 콘덴서는 처리를 하지 않은 콘덴서와 비교하면, 전입용력, 교류용력에 의한 전기 특성의 열화가 커서 신뢰성의 면에서도 큰 문제가 있다는 것이 판명되었다.

또, 일본국 특허공개공보 평성 8-55967호(1996년 2월 27일 공개)에는 강유전체 박막캐퍼시터의 제조방법에 관하여, 유전체 박막층의 산소빔 구멍을 어닐(산화성 분위기중)하는 것에 의해 누설전류를 작게 하는 것이 알려져 있다. 그러나, 전극박리의 문제점에 대해서는 전혀 인식되어 있지 않다.

발명의 실체

발명의 개시

따라서, 본 발명의 목적은 상기한 미들 문제점을 해소하는 것이다. 특히 반도체집적회로와 공존하고 또한 낮은 누설전류, 대용량, 높은 전류분극을 갖는 콘덴서를 구비한 반도체메모리 및 그 제조방법을 제공하는 것이다.

상기 목적을 달성하기 위해서, 본 발명자들은 콘덴서 특성의 열화의 원인을 여러가지 실험검토한 결과, 주된 열화원인을 상부전극과 캐퍼시터절연막을 형성하는 고강유전체의 계면, 균발에서의 구조변화, 특히 고강유전체를 구성하는 금속산화물의 표층부에 있어서의 산소결손의 발생에 기인한다는 것을 알 수 있었다. 그리고, 이 산소결손은 고강유전체 박막형성보다 나중에 형성되는 상부전극과 고강유전체 박막과의 계면에 많이 존재한다는 것도 알 수 있었다. 또, 상부전극을 형성하는 귀금속 전극과 고강유전체와의 접착성의 열화(상부전극 박리의 문제)가 이 산소결손으로 강한 상관이 있다는 것도 판명되었다.

그래서, 본 발명자들은 콘덴서전극(특히 상부전극) 형성층에 고강유전체-전극계면을 강제산화하는 공정을 복구해 보았다. 그 결과, 그 흐름의 공정인 고강유전체 콘덴서의 절연막 형성공정에서의 열화, 박리가 억제되고, 또 장기간에 걸친 신뢰성의 향상도 확인되었다. 즉, 콘덴서를 형성한 후에 수소처리하는 증류방법과는 달리 콘덴서를 형성한 후에 수소처리에 선행하여 산소처리하는 것이 매우 유효하는 지견을 얻은 것이다.

본 발명은 이러한 지견에 따라서 이루어진 것으로서, 상기 목적을 달성할 수 있는 반도체메모리는 상부전극, 하부전극 및 미들 전극 사이에 배치되어 캐퍼시터절연막으로 되는 산화를 고강유전체 박막으로 구성되는 콘덴서구조와 상기 콘덴서구조를 덮는 플라즈마처리에 의해서 형성된 절연보호막으로 이루어지는

집적화 콘덴서를 갖고, 상기 캐패시터 절연막을 구성하는 산화를 고강유전체 박막의 표층부에 산소도입층이 형성되어 있는 것을 특징으로 한다.

도면의 간단한 설명

도 1은 본 발명의 반도체메모리의 축적용량을 구성하는 콘덴서의 1예를 도시한 단면도,
 도 2는 종래 기술에 의한 콘덴서의 단면도,
 도 3은 종래 기술에 의한 콘덴서의 불량을 도시한 단면도,
 도 4는 본 발명의 콘덴서와 종래 기술에 의한 콘덴서의 CV특성 비교·곡선도,
 도 5는 본 발명의 콘덴서와 종래 기술에 의한 콘덴서의 IV특성 비교·곡선도,
 도 6은 본 발명의 콘덴서와 종래 기술에 의한 콘덴서의 교번전계용력에 의한 정전용량의 변화를 도시한 특성곡선도,
 도 7은 본 발명의 콘덴서와 종래 기술에 의한 콘덴서의 교번전계용력 후의 내압분포특성도,
 도 8은 본 발명의 산소처리효과의 온도의존성을 도시한 특성도,
 도 9는 본 발명의 산소처리효과의 시간의존성을 도시한 특성도,
 도 10은 셀구조 상측면에 내산화성이 떨어지는 재료가 포함되는 경우의 단면도 및 산화의 상황을 도시한 특성도,
 도 11은 본 발명의 산소처리에 의한 PZT 콘덴서의 IV특성도,
 도 12는 패시베이션 처리후의 IV특성의 본 발명과 종래 기술과의 비교도,
 도 13은 패시베이션 처리후의 히스테리시스특성의 본 발명과 종래 기술과의 비교도,
 도 14는 패시베이션 처리후의 IV특성의 본 발명과 종래 기술과의 비교도,
 도 15는 본 발명의 1예로 되는 캐패시터 절연막으로서 BST를 사용한 DRAM의 단면구조도,
 도 16은 본 발명의 1예로 되는 캐패시터 절연막으로서 PZT를 사용한 블록메모리의 단면구조도.

설명

발명을 실시하기 위한 최량의 형태

이하, 본 발명에 대해 도면을 참조해서 상세히 설명한다.

도 1은 반도체메모리의 축적용량을 구성하는 콘덴서의 주요부 단면도를 도시한 것으로서, 우선 트랜지스터 등의 능동디바이스를 포함하는 반도체기판(101)상에 하부전극(102), 캐패시터절연막(103), 이 캐패시터절연막(103)의 표층부에 산소도입층(104), 상부전극(105)가 형성되어 있고, 이를 상하부전극과 강유전체로 이루어지는 콘덴서를 층간절연막으로 되는 보호막(106)으로 피복하였다.

이 보호막(106)의 일부에는 적당한 에칭프로세스에 의해 개구부가 마련되어 있고, 금속배선(107)이 콘덴서의 상부전극(105)과 전기적 도통을 갖고 있다.

산소도입층(104)은 상부전극(105)을 형성할 때에 캐패시터절연막(103)을 구성하는 고강유전체 박막의 표층부에 발생한 미량의 산소의 결손층이 후술하는 산소분위기중의 열처리에 의해 충분히 수복된 층을 의미하고 있다.

하부전극(102), 상부전극(105)를 구성하는 전극재료로서는 백금을 대표적인 것으로서 들 수 있지만, 그밖에 예를 들면 팔라듐, 니켈, 텅스텐, 티탄, 몰리브덴 등의 단체(單體) 또는 합금을 주성분으로 하는 금속재료, 더 나아가서는 도전성을 갖는 금속산화물을 등이 사용된다.

또한, 캐패시터절연막(103)을 구성하는 고강유전체 박막으로서는 예를 들면 납, 비스마스, 스트론튬, 바륨 등의 적어도 1개를 주성분으로 갖는 산화물로 이루어지는 유전체 박막을 들 수 있으며, 강유전체 박막이라면 대표적인 것으로서 PZT로 약칭되는 티탄산 지르콘산납[Pb(Zr,Ti)O₃] 및 이것에 La를 도포한 PLZT, 티탄산납(PbTiO₃), SBT로 약칭되는 탄탈산 스트론튬 비스마스(SrBi₂Ta₂O₉), 티탄산 비스마스(Bi₂Ti₂O₉) 등을 들 수 있다.

또, 고유전체 박막의 대표적인 것으로서는 예를 들면 BST로 약칭되는 티탄산 바륨 스트론튬[(Ba, Sr)TiO₃], 티탄산 스트론튬(SrTiO₃), 티탄산 바륨(BaTiO₃) 등을 들 수 있다.

층간절연막으로 되는 보호막(106)으로서는 LSI의 층간절연막으로서 통상 사용되고 있는 예를 들면 SiO₂, Si₃N₄ 등을 들 수 있다.

한편, 비교예로서 집적화 콘덴서를 본 발명에 의하지 않는 종래 공정에 의해서 작성한 단면도를 도 2 및 도 3에 도시하였다. 산소도입공정을 거치지 않는 경우에는 도 2에 도시한 바와 같이 상부전극(105)과 고강유전체(103)과의 계면에 산소결손층(201)이 발생한다. 또, SiO₂ 보호막(106)의 형성시 또는 콘덴서 형성후의 수소처리에 의해서 도 3에 도시한 바와 같은 상부전극(105)과 고강유전체(103)과의 계면에 박리부분(301)이 생기거나 상부전극(105)가 박리에 의해 탈락하는 불량이 발생하였다.

이와 같은 산소결손층(201)을 산소도입층(104)에 의해 보수한 효과를 우선 초기전기특성부터 도시한다.

고유전체, 예를 들면 BST를 유전체로 하는 집적콘덴서의 전기 특성의 미분용량-바이머스전압특성(이하, 이것을 간단히 CV특성이라고 한다)의 비교를 도 4에 도시한다.

본 발명에 의해서 산소결손층(201)을 보수한 경우에는 산소결손층에 있어서의 전압강하가 작아지기 때문에 특히 IV 아래의 메모리 동작전압 영역에서의 실효율률이 향상된다. 도 4에 도시한 본 발명은 산소처리(산소분위기에서 열처리)에 의해 산소도입층(104)을 형성한 경우의 특성을, 또 증래 기술의 특성은 상부전극(105)을 형성했을 뿐 수소처리도 산소처리도 하지 않는 경우의 특성을 도시하고 있다. 또 증래 기술에 따라서 수소처리를 실시하고, 그 후에 산소처리를 실시한 경우에는 여기에 도시한 증래 기술의 특성특성보다 더욱 열화한다.

또, 누설전류-전압특성(이하, 이것을 간단히 IV특성이라 한다)의 비교를 도 5에 도시한다. 상부전극-고강유전체 계면에 있어서의 전자에 대한 에너지 배리어 높이가 전류제한기구로 되는 부전압축에서 누설전류값의 저감이 도모되고 있어 산소도입층에 의해 더욱 절연성이 우수한 집적콘덴서를 형성할 수 있었다.

또한, 캐퍼시터 절연막(103)에 강유전체 PZT를 사용한 경우에는 상기 효과에 부가해서 전속밀도(electric flux density)-전계특성의 미력곡선(이하, 간단히 히스테리시스특성이라 한다)의 향상이 나타난다. 본 발명에 의한 경우에는 전류분극이 발생하는 일계값 전계인 향전계(抗電界)가 감소하여 전류분극이 증대하고 불휘발 메모리동작의 안정화를 도모할 수 있었다.

다음에 장기간에 걸친 신뢰성에 관한 본 발명의 효과를 기술한다.

집적콘덴서의 초기특성이 향상한다는 것은 앞에서 기술하였다. 본 발명에 의하지 않는 성능이 낮은 특성미더라도 메모리의 요구사항에 따라서는 마치 적용가능한 것처럼 보이는 초기특성이 얻어지는 경우가 있다. 그러나, 장기간에 걸친 신뢰성 특히 인가전압극성이 고속으로 반전하는 동작하에서는 유전율과 누설전류의 경시변화가 심하여 실용화할 수 없다는 것을 알 수 있었다.

본 발명은 초기특성의 향상에 부가해서 경시변화를 억제하는 효과가 있다. 도 6은 교번전계를 인가한 경우에 BST콘덴서의 정전용량의 시간변화를 본 발명과 증래 기술에서 비교한 것이다. 도시한 바와 같이, 본 발명에 의한 콘덴서에서는 교번전계용역에 기인하는 전극-고강유전체 계면에 발생하는 산소결손 영역의 성장이 억제되기 때문에 산소결손영역의 발생이 적고, 따라서 정전용량의 경시변화도 작아진다.

또, 마찬가지의 교번전계를 인가한 경우의 절연내압의 누적불량률의 시간의존성을 도 7에 도시하였다.

본 발명에 의한 콘덴서에서는 불량발생률을 억제할 수 있다는 것을 알 수 있었다. 산소결손영역의 생성을 억제하는 것에 의해 결손영역에서 기인하는 내압불량도 동시에 억제되기 때문에 불량발생률이 낮아지는 것으로 고려된다.

또, 또 3의 비교예에 도시한 바와 같이, SiO₂보호막(106)의 형성시 또는 금속배선(107)의 형성후의 수소처리에 의해, 상부전극-고강유전체 계면에 박리부분(301)이 생기는 것은 제품의 제조효율과 생산라인의 스루풋(제조능률) 저하로 미어져 실용화할 수 없었다. 그러나, 본 발명에 의한 콘덴서는 이 박리억제의 효과가 충분히 밝혀되고 있는 것을 알 수 있었다.

이 원인을 분석한 결과, SiO₂보호막 형성시 또는 금속배선후의 수소처리에 의한 산소농도 저하영역은 주로 상부전극-고강유전체막 계면에 집중하고 있어 산소농도 저하가 상부전극과 고강유전체 계면의 접착성을 소실시키고 있는 것을 알 수 있었다. 즉, 상부전극(105)과 고강유전체(103)과의 계면으로 산소를 도입하는 것에 의해, 산소결손영역의 발생이 억제되는 것 미외에 상부전극(105)과 고강유전체(103)과의 접착성이 향상하는 것이 본 발명에 의한 박리억제효과의 원리라고 추정된다.

이하, 본 발명의 실시예를 들어 상세히 설명한다.

<실시예 1>

여기서는 도 1에 도시한 산소도입층(104)를 갖는 집적콘덴서의 제조방법에 대해서 구체적으로 설명한다. 주지의 방법에 의해 형성된 전계효과트랜지스터를 포함한 기판(101)상에 우선 콘덴서의 하부전극(102)로 되는 백금막을 스퍼터법에 의해 형성한다. 막두께는 100nm로 하였다.

다음에, 이 전극(102)상에 산소분위기중에서의 반응성 스퍼터에 의해 캐퍼시터 절연막(103)으로서 PZT를 100nm 퇴적시켰다. 퇴적시의 압력은 0.5Torr, 기판온도는 실온이다. 이 구조를 상암의 산소분위기중에서 650°C, 30초의 금속산화처리를 실행하고 PZT를 결정화시켰다.

이 PZT(103)상에 또 백금을 50nm 스퍼터법으로 퇴적시켜 상부전극(105)로 하였다. 그 후, 주지의 포토리드그래피 공정에 의해 형성한 마스크를 사용하여 콘덴서를 각 메모리셀에 대응한 미세영역으로 스퍼터에팅에 의해서 분할하고 Pt/PZT/Pt의 3층구조로 이루어지는 콘덴서구조를 형성하였다.

단, 이 상태에서는 상부전극(Pt)(105)와 PZT(103)과의 계면 즉 PZT의 표층부에는 도 2에 도시한 바와 같이 산소결핍층(201)이 이미 형성되어 있고 접착성도 충분하지 않다는 것을 알 수 있었다. 그래서, 이 상태에서 활형 쇠영관을 갖는 전기로증에서 산소열처리를 실행한다. 이 산소열처리조건은 상암의 산소분위기중에서 50°C, 30분의 산화처리이다.

도 8은 상부반금퇴적 층층에 산소결핍층이 많이 발생했기 때문에 충분한 접착성을 나타내지 않는 Pt/PZT/Pt 구조를 상기한 바와 같이 산소열처리한 경우의 3V 인가시의 전류분극값 변화를 도시한 것이다. 도시한 바와 같이, 산소열처리 400~575°C에서 충분한 전류분극을 경출할 수 있었다. 한편, 열처리온도는 600°C 이상에서는 전류분극의 저하가 관찰되었다. 이를로 부터, 보다 바람직한 열처리온도는 450~550°C이고, 특히 바람직하게는 500°C에서 처리하는 것이 유효하다는 것을 알 수 있다.

또, 도 9는 500°C에서의 산소열처리시간에 따른 전류분극값의 변화를 도시한 도면이다. 이것에서 본 열처리온도는 10분정도부터 효과가 있다는 것을 알 수 있었다. 여기서 중요한 것은 이 집적콘덴서구조를 취하는 경우에 한하는 것이지만, 본 발명의 다른 효과로서 측벽에 노출된 고강유전체(103)에 가해지

는 손상이 산소열처리에 의해 수복되는 것이다. 즉, 도 1에 도시한 구조를 작성하면, 본 발명에 의해 상부전극/고강유전체 계면의 산소결핍층 뿐만 아니라, 고강유전체 측면의 손상을 제거하는 효과도 있다. 또, 상부백금막을 포토리도그래피공정을 거쳐서 콘덴서로 분할한 후에 산소처리를 실행하는 것에 의해, 기판온도를 상승시킬 때의 응력에 의한 박리를 억제하는 효과도 있다.

또, 메모리셀구조에 따라서는 콘덴서를 메모리셀마다 분할했을 때 하층기판(101)에 포함되는 트랜지스터 외의 접속을 위한 내산화성이 떨어지는 재료, 예를 들면 질화티탄이 노출되어 있을 가능성이 있다. 도 10은 콘덴서를 메모리셀마다 분할한 단면도를 도시한 것이다.

도 10의 (1)에 도시한 산소처리 전의 질화티탄(1001)은 산소처리에 의해서 도 10의 (2)에 도시하는 바와 같이, 질화티탄(1001)의 노출되어 있는 틀레가장자리가 산화되어 고저항층(1004)가 형성된다. 미와 같이, 틀레가장자리가 노출된 질화티탄(1001)은 콘덴서가공에 따른 손상에 의해, 통상의 질화티탄의 내산화성을 유지하고 있지 않으므로 산소분위기에서의 열처리가 어렵게 된다. 또, 동일 도면의 (1002)는 실리콘화산층으로의 접속클러그(여기서는 플리실리콘)를, (1003)은 중간 절연막(S104)을 나타내고 있다.

산소처리에 있어서의 이러한 문제를 해결하기 위해서는 하부전극(102)로 되는 백금막의 예열 전 또는 예열은 진행되고 있지만 하층의 질화티탄(1001)의 측벽이 노출되어 있지 않은 시점에서의 적용이 유효하였다.

미와 같이, 본 발명의 적용방식은 메모리셀구조에 따라 여러가지 적용시점이 고려된다. 본 발명의 효과는 원리적으로는 상부전극(105)의 형성후 패시베이션 공정(증간절연막(106)의 형성)까지의 동안에 산소처리공정을 실행하는 것에 의해 얻어지는 것으로서, 모든 메모리셀 구조에 적용할 수 있는 것이다.

또, 상기에서 예로 든 바와 같이, 캐퍼시터 가공공정에 의한 손상을 제거하는 효과가 있으므로, 가공공정 완료후의 적용이 더욱 바람직하다.

<실시예 2>

다음에, 산소분위기중에서의 열처리 이외의 방법으로 캐퍼시터 절연막 표층부에 산소도입층(104)을 형성하는 다른 실시예에 대해서 설명한다.

본 발명의 본질은 상부전극과 고강유전체 계면에 산소를 도입하는 것에 있지만, 산소를 강제적으로 상부전극(이 예에서 백금)(105)에 활용시키고, 결과적으로 계면으로의 산소도입을 실행하는 방법도 유효하였다.

구체적으로는 상부전극(105)의 백을 산소중에서의 스퍼터링에 의해 고강유전체상에 퇴적시킨다. 예를 들면, 카트리스퍼터에 의해 10% 산소를 첨가한 이로코분위기(200Terrr)_{Ar}에서 스퍼터링을 실행하였다.

통상의 순 마르콘 스퍼터에 의한 백금막은 (111)방향으로 강하게 배향하고, 막두께와 동일 정도의 크기를 갖는 입자구조로 되지만, 순산소에 의한 스퍼터백금막은 미세입자로 이루어지고 이것에 대응해서 (111)배향성이 대부분이 소실된다. 즉, 결정성이 매우 나쁘게 된다. 한편, 고강유전체와의 접착성은 매우 양호하게 되는 것을 알 수 있었다. 순 아르곤 스퍼터에 의해 성막한 고강유전체 박막상의 백금은 그대로의 성막상태에서는 점착테이프에 의한 박리시험에 의해 박리가 발생하지만, 이 산소 스퍼터에 의한 백금은 박리되지 않았다. 이것은 실시예 1에서 설명한 산소열처리와 마찬가지로 고강유전체 계면에 산소가 충분히 공급된 상태로 되는 것에 대응하는 것으로 고려된다.

미. 효과는 스퍼터 분위기의 산소농도가 높을수록 현저했지만, 산소농도가 상승함에 따라 접착성은 향상하지만 퇴적속도가 저하해 버렸다. 실용적인 산소농도는 5~30%정도, 비름직하게는 10% 정도였다.

<실시예 3>

또, 별도의 실시방법으로서는, 상부전극(105)의 형성을 백금의 핵체(complex)를 원료로 하는 CVD법에 의해 실행하고, 불위기는 산소중에서 실행하는 방법도 유효하였다. 즉, 백금의 원료로서는 예를 들면 백금 헥사플루오로아세틸아세테론 핵체[Pt(HFA)₂:Pt(CF₃COCH₂COCH₃)₂]를 50°C로 가열해서 승화시키고, 아르곤을 캐리어 가스로서 반응로에 도입한다. 이 원료와 산소를 반응로에 도입하였다.

캐리어 가스의 유량은 50cc/min이다. 3분간의 퇴적에 의해, 상부전극(105)로서 100nm의 백금을 형성하였다. 이 경우, 상부전극(105)의 퇴적층에는 산소분위기중이므로, 상부전극(백금)/고강유전체 계면에 산소가 도입되어 실시예 1의 산소열처리중과 마찬가지의 효과가 확인되었다.

또, 상암산소 분위기하의 열처리는 디바이스구조에 따라서는 도 2 및 도 3에서 설명한 바와 같이, 예를 들면 TiN과 같은 배리어금속 등에 바람직하지 않은 산화가 일어나는 경우가 있었기 때문에, 산소 라디칼 조사하에서의 열처리, 산소플라즈마중에서의 열처리의 적용을 실행한 결과, 열처리온도를 저하시키는 효과가 있었다.

<실시예 4>

다음에, 본 발명에 의한 콘덴서의 전기 특성의 향상에 대해서 구체적으로 도시한다. 도 11은 막두께 100nm의 PZT를 캐퍼시터 절연막으로 하는 도 1에 도시한 구조의 콘덴서(이하, PZT 콘덴서라고 한다)의 전류전압특성이다. 횡축의 전압은 하부전극(102)를 기준으로 한 상부전극(105)의 전압이다.

특징적인 것은 부전압측에서의 누설전류가 저하하고 있는 것이고, $10^{-7} A/cm^2$ 로 정의한 절연내압은 -4V에서 -4, 5V로 향상하고 있다. PZT 콘덴서의 전류전압특성은 전류가 상승을 나타내는 전압(도 11에서는 약 -4V)보다 고전압측에서는 쇼트키(Schottky) 전류이고, 전극과 PZT의 계면에 있어서의 대역(band) 불연속성에 의해 전류값이 결정되고 있다.

이 쇼트키영역에 있어서 부전압측에서 전류값이 저하하는 것은 상부전극측으로부터의 전자의 주입확률의 저하, 즉 상부전극/PZT 계면의 금준화에 따른 대역 불연속성의 향상이 있는 것을 나타내고 있다. 이

것은 본 발명의 산소도입의 효과를 가장 단적으로 나타내고 있는 것이다.

또, 이 콘덴서상에 틀라즈마 분해의 TEOS(테트라에톡시실란의 약어)원료의 CVD에 의해 패시베이션막(106)으로서 SiO₂를 퇴적시키고, 주지의 방법에 의해 전극상에서만 패시베이션막을 제거하여 전류전압특성을 계측한 것이 도 120이다. 틀라즈마 SiO₂막(106)은 기판온도 390°C에서 퇴적시켰다.

증래의 방법에 의해 형성한 콘덴서는 상부전극(105)의 박리가 다발한 것에 부가해서 도면층에 도시한 바와 같이 박리를 일으키지 않는 경우에도 절연파괴가 낮은 전압에서 발생하여 실용화할 수 없었다. 한편, 본 발명에 의하면, 박리를 방지할 수 있었던 것에 부가해서 전류전압특성의 열화는 거의 없었다.

또, 도 13은 마찬가지로 막두께 100nm의 PZT콘덴서의 전속밀도 전계특성이다. 동일 도면층에 비교예로서 증래 방법에 의해 형성한 콘덴서[증래 기술(1)]는 강유전성을 나타내지만, 항전계가 높아 통상의 고집적 반도체 메모리에 필요로 되는 저전압동작에는 적합하지 않았다.

한편, 본 발명에 의하면, 항전계를 낮게 억제할 수 있고, 전원전압 3V에서도 충분한 강유전성을 나타내는 콘덴서를 형성할 수 있었다. 전류전압특성시와 동일한 틀라즈마 분해 TEOS에 의한 패시베이션을 실행한 후의 특성은 도 13의 증래 기술(2)이다.

본 발명에 의하지 않는 콘덴서는 더욱 항전계가 증대하여 실용에는 적합하지 않았던 것에 반해, 본 발명에 의한 콘덴서에서는 패시베이션에 의한 변화는 없고 낮은 강유전성을 확보할 수 있어 충분한 잔류분극을 3V 동작에 있어서 나타내었다.

또, BST를 유전체로 사용한 콘덴서상에 패시베이션막으로서 마찬가지로 틀라즈마 SiO₂막(106)을 퇴적시키면, 도 14에 도시한 바와 같이 증래 방식의 콘덴서의 경우, 특히 전압이 부인 경우에 절연파괴전압의 급격한 저하가 보이는데 반해, 본 발명에 의하면 이러한 현상은 보이지 않았다.

이들의 콘덴서를 사용해서 작성한 반도체메모리의 예를 이하 설명한다.

<실시예 5>

도 15는 고강유전체로서 BST를 사용한 DRAM의 예로서, 여기서 사용한 BST의 막두께는 25nm, 정전용량은 80fF/ μ m²이고, 10⁻⁶ A/ μ m²로 정의한 절연성의 임계전압은 2. 2V였다. 이 콘덴서를 사용한 DRAM은 10년의 신뢰성을 갖고 있다는 것을 알 수 있었다.

또, 도 16은 고강유전체로서 PZT를 사용한 불휘발 동작의 반도체메모리의 예이다. 여기서 사용한 PZT의 막두께는 100nm, 잔류분극은 3V 동작시에 50 μ C/ μ m²이고, 비잔류분극성분은 25 μ C/ μ m²였다.

산화강이용가능성

미상 상세하게 기술한 바와 같이, 본 발명의 반도체메모리 및 그 제조방법에 의하면, 비교적 저온에서 처리가능한 틀라즈마에 있어서의 패시베이션막(절연막) 형성에 의한 콘덴서의 용량저하, 절연불량, 특히 전극박리를 방지할 수 있고, 또 교번전계 인가시의 용량저하를 억제하여 절연불량의 발생률을 저하시킬 수 있다. 또, 강유전체를 유전체막으로서 사용한 경우에는 잔류분극을 증대시키고 항전압을 감소시키는 효과가 있다. 이와 같이 우수한 특성을 갖는 콘덴서를 구비하는 것에 의해, 신뢰성이 높은 불휘발성 반도체 메모리를 실현하는 것이 가능하게 되었다.

(5) 청구의 범위

청구항 1. 상부전극, 하부전극 및 이를 양 전극사이에 배치되어 캐패시터 절연막으로 되는 산화를 고강유전체 박막으로 구성되는 콘덴서구조와 상기 콘덴서구조를 덮는 틀라즈마처리에 의해서 형성된 절연보호막으로 이루어지는 집적화 콘덴서를 갖고, 상기 캐패시터 절연막을 구성하는 산화를 고강유전체 박막의 표층부에 산소도입층을 구비해서 이루어지는 반도체메모리.

청구항 2. 제1항에 있어서,

고강유전체 박막을 날, 비스마스, 스트론튬 및 바륨 중의 적어도 1개의 금속원소를 주성분으로 갖는 산화물로 구성해서 이루어지는 반도체메모리.

청구항 3. 제1항에 있어서,

고강유전체 박막을 티탄산 자르코늄산납, 티탄산 스트론튬, 티탄산 바륨 스트론튬, 티탄산 비스마스, 탄탈산 스트론튬 비스마스 중의 어느 1종류의 금속산화를 결정으로 구성해서 이루어지는 반도체메모리.

청구항 4. 제1항에 있어서,

콘덴서구조를 덮는 절연보호막을 실리콘산화물을 주성분으로 하는 보호막으로 구성해서 이루어지는 반도체메모리.

청구항 5. 제1항에 있어서,

상부전극을 백금, 팔라듐, 니켈, 텁스텐, 티탄 및 틀리보덴 중의 적어도 1 종류를 주성분으로 하는 금속재료로 구성해서 이루어지는 반도체메모리.

청구항 6. 제1항에 있어서,

반도체메모리를 고강유전체 박막 콘덴서를 사용하는 불휘발성 메모리로 구성해서 이루어지는 반도체메모리.

청구항 7. 제1항에 있어서,

반도체메모리를 고강유전체 박막 콘덴서를 사용하는 DRAM동작을 실행하는 메모리로 구성해서 이루어지는 반도체메모리.

청구항 8. 적어도 하부전극과 상부전극 사이에 캐페시터 절연막으로 되는 산화를 고강유전체 박막을 성막하여 콘덴서구조를 형성하는 공정 및 상기 콘덴서구조를 덮는 보호막을 성막하여 접착화 콘덴서를 형성하는 공정을 갖는 반도체메모리의 제조방법에 있어서,

상기 보호막을 플라즈마처리에 의해서 형성한 후에 상부전극을 통해서 상부전극-고강유전체 박막의 계면에 산소를 도입하고, 상기 고강유전체 박막의 표층부에 산소도입층을 형성하는 공정을 구비해서 이루어지는 반도체메모리의 제조방법.

청구항 9. 제8항에 있어서,

상기 상부전극을 통해서 고강유전체 박막의 표층부에 산소도입층을 형성하는 공정은 산소 분위기중에서 열처리하는 공정으로 구성해서 이루어지는 반도체메모리의 제조방법.

청구항 10. 제8항에 있어서,

콘덴서구조를 덮는 보호막을 성막하는 공정은 실리콘의 수소화를 또는 테트라에톡시실란의 플라즈마 어시스트 분해공정으로 구성해서 이루어지는 반도체메모리의 제조방법.

청구항 11. 제9항에 있어서,

산소분위기중에서 열처리하는 공정은 상암 산소분위기중 400~575°C의 온도에서 적어도 10분이상의 시간의 열처리를 실행하는 공정으로서 이루어지는 반도체메모리의 제조방법.

청구항 12. 적어도 하부전극과 상부전극 사이에 캐페시터 절연막으로 되는 산화를 고강유전체 박막을 성막하여 콘덴서구조를 형성하는 공정 및 상기 콘덴서구조를 덮는 보호막을 플라즈마처리에 의해서 성막하여 접착화 콘덴서를 형성하는 공정을 갖고, 상기 콘덴서구조를 형성하는 공정의 상부전극막의 형성공정 후에 상부전극을 통해서 상부전극-고강유전체 박막의 계면에 산소를 도입하고, 상기 고강유전체 박막의 표층부에 산소도입층을 형성하는 공정을 구비해서 이루어지는 반도체메모리의 제조방법.

청구항 13. 제12항에 있어서,

상기 상부전극을 통해서 고강유전체 박막의 표층부에 산소도입층을 형성하는 공정은 산소분위기중에서 열처리하는 공정으로 구성해서 이루어지는 반도체메모리의 제조방법.

청구항 14. 제12항에 있어서,

콘덴서구조를 덮는 보호막을 성막하는 공정은 실리콘의 수소화를 또는 테트라에톡시실란의 플라즈마 어시스트 분해공정으로 구성해서 이루어지는 반도체메모리의 제조방법.

청구항 15. 제12항에 있어서,

산소 분위기중에서 열처리하는 공정은 상암 산소분위기중 400~575°C의 온도에서 적어도 10분이상의 시간의 열처리를 실행하는 공정으로서 이루어지는 반도체메모리의 제조방법.

청구항 16. 적어도 하부전극과 상부전극 사이에 캐페시터 절연막으로 되는 산화를 고강유전체 박막을 성막하여 콘덴서구조를 형성하는 공정 및 상기 콘덴서구조를 덮는 보호막을 플라즈마처리에 의해서 성막하여 접착화콘덴서를 형성하는 공정을 갖고, 상기 콘덴서구조를 형성하는 공정에 있어서의 상부전극의 형성공정을 산소를 포함하는 분위기중에서 상부전극막을 성막하는 공정으로 하고, 상부전극의 형성공정을 통해서 상부전극-고강유전체 박막의 계면에 산소를 도입하고, 상기 고강유전체 박막의 표층부에 산소도입층을 형성하는 구조으로 해서 이루어지는 반도체메모리의 제조방법.

청구항 17. 제16항에 있어서,

상부전극의 형성공정은 산소분위기중에서의 스퍼터링법에 의한 금속박막의 성막법에 의해 구성해서 이루어지는 반도체메모리의 제조방법.

청구항 18. 제16항에 있어서,

상부전극의 형성공정은 산소분위기중에서의 CVD법에 의한 금속박막의 성막법에 의해 구성해서 이루어지는 반도체메모리의 제조방법.

청구항 19. 제16항에 있어서,

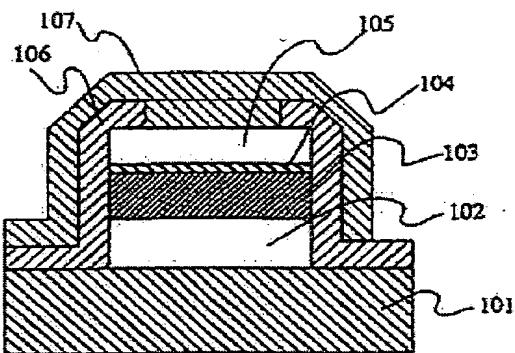
콘덴서구조를 덮는 보호막을 성막하는 공정은 실리콘의 수소화를 또는 테트라에톡시실란의 플라즈마 어시스트 분해공정으로 구성해서 이루어지는 반도체메모리의 제조방법.

청구항 20. 제17항 또는 제18항에 있어서,

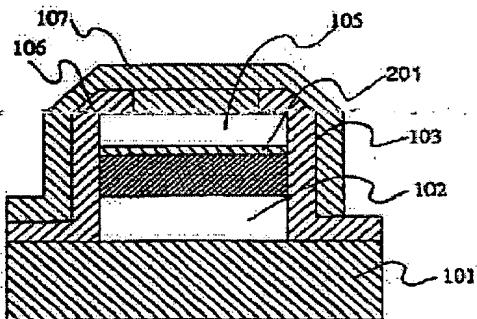
스퍼터링법 또는 CVD법에 의한 금속박막의 성막공정은 백금, 팔라듐 및 니켈 중의 적어도 1종류를 주성분으로 하는 금속박막을 형성하는 공정으로 구성해서 이루어지는 반도체메모리의 제조방법.

도면

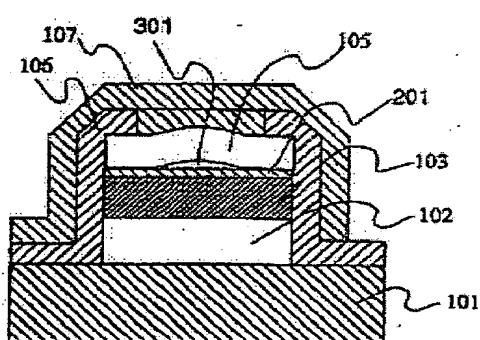
도면1



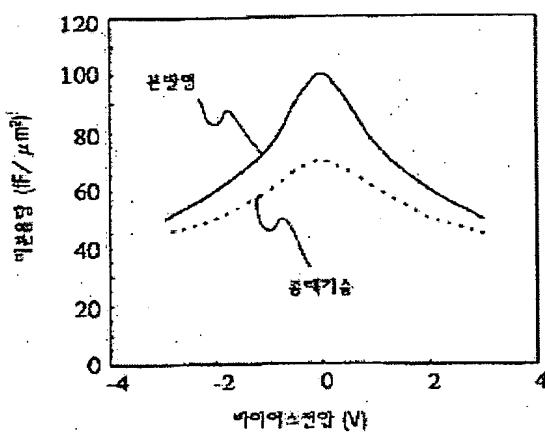
도면2



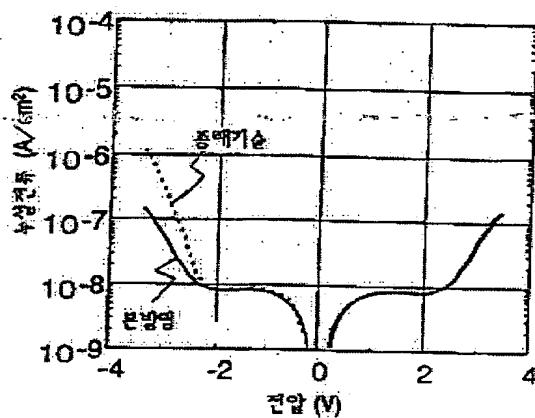
도면3



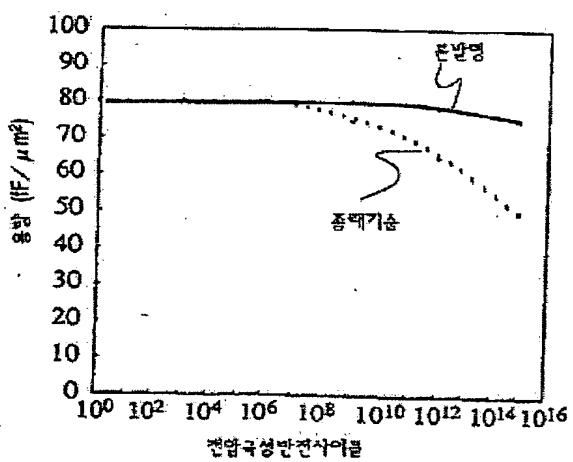
도24



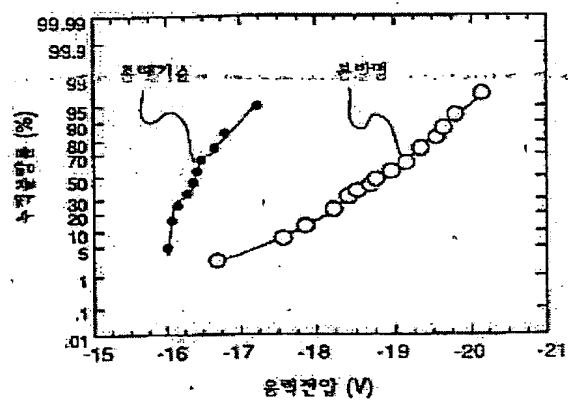
도25



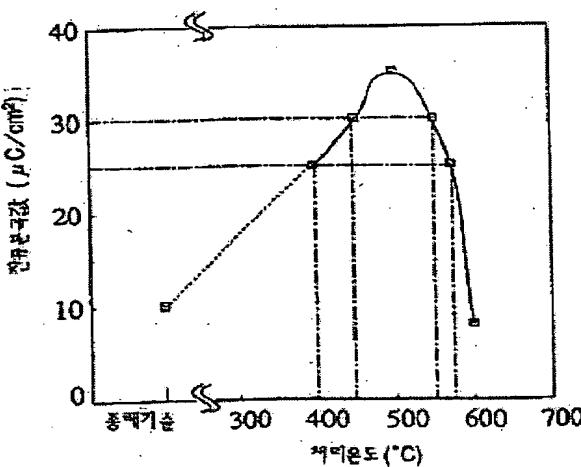
五九



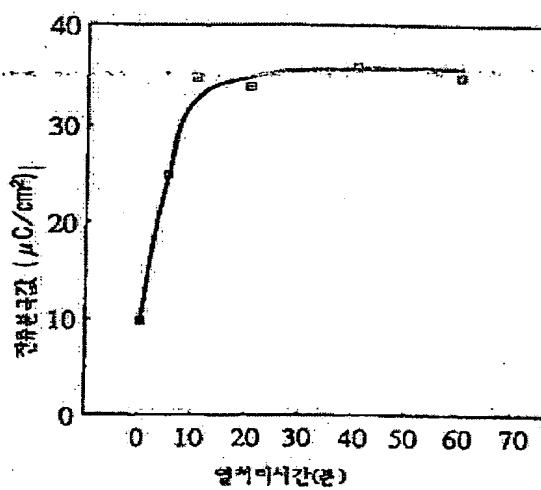
五



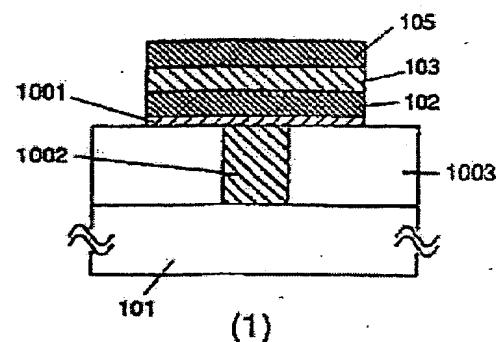
도 88



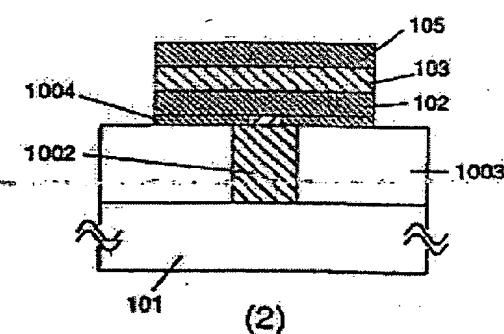
도 89



도면 1

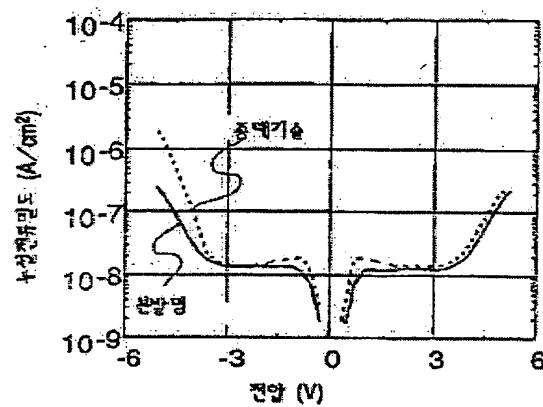


(1)

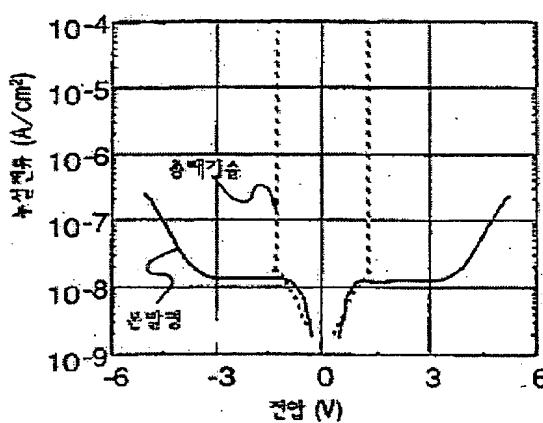


(2)

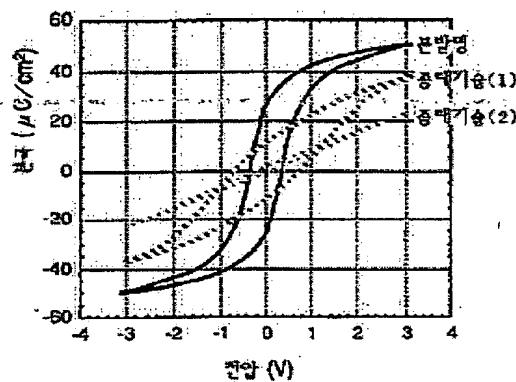
도면 2



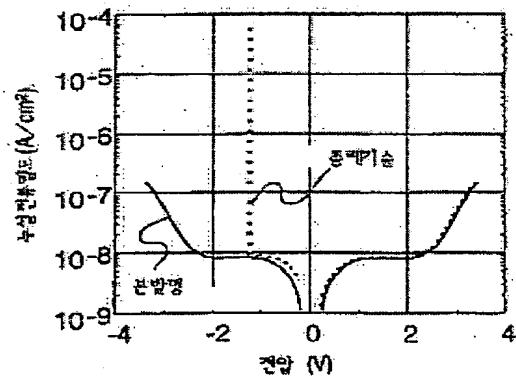
도면 2



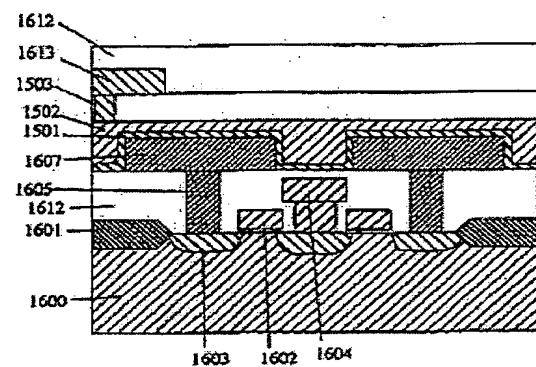
도면 3



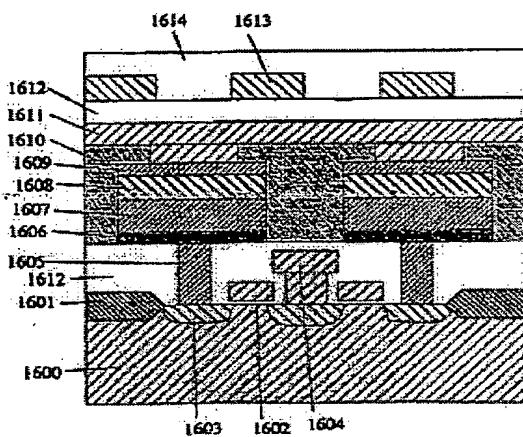
도면 4



1615



1616



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.